

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-541610

(P2002-541610A)

(43) 公表日 平成14年12月3日 (2002.12.3)

(51) Int.Cl.⁷ 識別記号

G 11 C 15/04

601

H 01 L 21/8242
27/108

F I

G 11 C 15/04

テマコード (参考)

601W 5F083

601A

H 01 L 27/10

621C

321

審査請求 未請求 予備審査請求 有 (全 47 頁)

(21) 出願番号 特願2000-610011(P2000-610011)
(86) (22) 出願日 平成12年3月30日 (2000.3.30)
(85) 翻訳文提出日 平成13年9月28日 (2001.9.28)
(86) 國際出願番号 PCT/CA00/00344
(87) 國際公開番号 WO00/60604
(87) 國際公開日 平成12年10月12日 (2000.10.12)
(31) 優先権主張番号 2,266,062
(32) 優先日 平成11年3月31日 (1999.3.31)
(33) 優先権主張国 カナダ (CA)

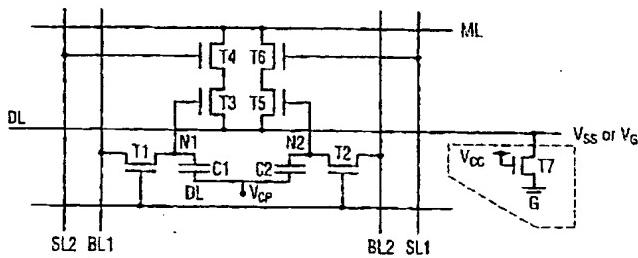
(71) 出願人 モサイド・テクノロジーズ・インコーポレイテッド
カナダ、ケイ・2・ケイ 2・エックス・1 オンタリオ州、カナタ、ハインズ・コード、11
(72) 発明者 ラインズ、ヴァレリエ
カナダ国 ケイ2エイ1ティー7 オンタリオ オタワ ロイヤルアベニュー 228
(72) 発明者 ジリンガム、ピーター
カナダ国 ケイ2ケイ2ケイ9 オンタリオ カナタ スレイドクレッセント 43
(74) 代理人 弁理士 田中 清 (外1名)

最終頁に続く

(54) 【発明の名称】 ダイナミック連想記憶セル

(57) 【要約】

比較的高速かつ大容量で、2値および3値保存性能を有するCAMアレイを作製するために適したダイナミック連想記憶(CAM)セルを開示する。このセルは1対の保存装置、比較手段および1対のメモリ・アクセス装置を含む。比較動作では、1対の探索ライン上に搬送された1対の相補的探索ビットとメモリ内に保存された1対の相補的なデータ・ビットとの間にミス・マッチがあるときに、比較手段がマッチ・ラインを放電ラインに結合させる。読み出しあるは書き込み動作では、アクセス装置の対が動作ラインによって活性化され、保存用キャパシタを1対のビット・ラインに結合させる。2つの保存用キャパシタが相補的なチャージをもつとき、「0」または「1」のデータ・ビットが保存される。両方のキャパシタが放電されると、「ドントケア」状態が保存される。



【特許請求の範囲】

【請求項1】 a) 第1のデータ・ビットを保存するための第1の保存手段と、

b) 第2のデータ・ビットを保存するための第2の保存手段と、

c) 第1および第2の探索ライン上に搬送されてくる第1および第2の探索ビットを前記第1および第2の保存手段の中に保存された第1および第2のデータ・ビットとそれぞれ比較するための比較手段とを含み、前記第1および第2の探索ビットと前記第1および第2のデータ・ビットとの間にミス・マッチがあった場合、および前記第1および第2のデータ・ビットが反対のレベルを有するとき、前記比較手段がマッチ・ラインを放電ラインに結合させる、ダイナミック連想記憶セル。

【請求項2】 さらに第1および第2のアクセス手段を含み、前記第1および第2のアクセス手段が、ワード・ラインによって活性化されると、前記第1および第2の保存手段を第1および第2のビット・ラインにそれぞれ結合させる、請求項1に記載のダイナミック連想記憶セル。

【請求項3】 a) 第1および第2のデータ・ビットをそれぞれ保存するための第1および第2の保存手段と、

b) 第1および第2のビット・ライン上に搬送されてくる第1および第2の探索ビットを前記第1および第2の保存手段の中に保存された第1および第2のデータ・ビットとそれぞれ比較するための比較手段とを含み、前記第1および第2の探索ビットと前記第1および第2のデータ・ビットとの間にミス・マッチがあった場合、および前記第1および第2のデータ・ビットが反対のレベルを有するとき、前記比較手段がマッチ・ラインを放電ラインに結合させ、

c) 第1および第2のアクセス手段を含み、前記第1および第2のアクセス手段が、ワード・ラインによって活性化されると、前記第1および第2の保存手段を第1および第2のビット・ラインにそれぞれ結合させる、ダイナミック連想記憶セル。

【請求項4】 第1および第2の保存の状態「0」および「1」を有し、そこでは第1および第2のデータ・ビットが相補的であり、第3の保存の状態を有

し、第1および第2のデータ・ビットも同様である、請求項1から3のいずれか一項に記載のダイナミック連想記憶セル。

【請求項5】 第1および第2の保存手段のそれぞれがキャパシタを含む、請求項1から4のいずれか一項に記載のダイナミック連想記憶セル。

【請求項6】 第1および第2のアクセス手段のそれぞれが、ワード・ラインに結合したゲート電極を有するトランジスタを含む、請求項2から5のいずれか一項に記載のダイナミック連想記憶セル。

【請求項7】 比較手段が、

第1の保存手段および第2の探索ラインに結合されたゲート電極を有する直列接続の第1の1対のトランジスタを有する第1のプルダウン回路と、

第2の保存手段および第1の探索ラインに結合されたゲート電極を有する直列接続の第2の1対のトランジスタを有する第2のプルダウン回路とを含む、請求項1から6のいずれか一項に記載のダイナミック連想記憶セル。

【請求項8】 放電ラインが低電圧端子に選択的に結合され、電源端子とグラウンド端子との間の前もって設定された電圧レベルを有する、請求項1から7のいずれか一項に記載のダイナミック連想記憶セル。

【請求項9】 放電ラインが電流制限器を経由してグラウンド端子に結合されている、請求項1から7のいずれか一項に記載のダイナミック連想記憶セル。

【請求項10】 電流制限器が、電源端子に結合されたゲート電極を有するトランジスタから形成されている、請求項9に記載のダイナミック連想記憶セル。

【請求項11】 それぞれのトランジスタが、ドレイン端子、ソース端子、およびゲート端子を有する絶縁ゲート型電界効果トランジスタ(FET)である、請求項6から10のいずれか一項に記載のダイナミック連想記憶セル。

【請求項12】 a) 少なくとも1つの高濃度ドープ領域が前記FETそれぞれのドレインおよびソース端子を形成する活性領域と、

b) 前記FETそれぞれのゲート端子を形成する第1のポリシリコン導電層と

c) 第1および第2のビット・ラインおよび前記活性領域と前記第1のポリシ

リコン導電層との間の少なくとも1つの相互接続を形成する第2のポリシリコン導電層と、

d) 前記活性領域の高濃度ドープ領域の中で選択された点にコンタクトを供給し、前記第1および第2のポリシリコン導電層の間の相互接続を供給するための金属導電層と、

e) 前記各キャパシタの第1および第2の平板をそれぞれ形成する第3および第4のポリシリコン導電層とを含み、

前記活性領域が前記第1のポリシリコン導電層のある領域に結合されて前記第2のポリシリコン導電層および前記金属導電層により形成された相互接続を介して前記比較手段のゲートを形成する、複数の半導体層を使用した集積回路内に作製された、請求項1-1に記載のダイナミック連想記憶セル。

【請求項13】 a) 少なくとも1つの高濃度ドープ領域が前記FETそれぞれのドレインおよびソース端子を形成する活性領域と、

b) 前記FETそれぞれのゲート端子を形成する第1のポリシリコン導電層と

c) 第1および第2のビット・ラインおよび前記活性領域と前記第1のポリシリコン導電層との間の少なくとも1つの相互接続を形成する第2のポリシリコン導電層と、

d) 前記各キャパシタの第1および第2の平板をそれぞれ形成する第3および第4のポリシリコン導電層とを含み、

前記活性領域が前記第1のポリシリコン導電層のある領域に結合されて前記第2のポリシリコン導電層内部に形成された相互接続を介して前記比較手段のゲートを形成する、複数の半導体層を使用した集積回路内に作製された、請求項1-1に記載のダイナミック連想記憶セル。

【請求項14】 第1および第2のビット・ラインのそれぞれがオープン・ライン構造で形成される、請求項2から13のいずれか一項に記載のダイナミック連想記憶セル。

【請求項15】 a) マッチ・ラインを予め設定した前充電電圧レベルに保つステップと、

- b) 第1および第2の探索ラインを低論理レベルに保つステップと、
- c) ビット・データを第1および第2のビット・ラインに加えるステップと、
- d) ワード・ラインを高論理レベルに上げるステップと、
- e) ワード・ラインを低論理レベルに下げ、それによって前記データを第1および第2の保存装置内に保存するステップとを含む、請求項2から14のいずれか一項のダイナミック連想記憶セルの中にビット・データを書き込む方法。

- 【請求項16】 a) ワード・ラインを低論理レベルに保つステップと、
 b) マッチ・ラインを予め設定した前充電電圧レベルまで前充電するステップと、
 c) 第1および第2の探索ラインに探索データを加えるステップと、
 d) マッチ・ライン上の電圧変化を探索データと保存データとの間の比較の結果の表示として検出するステップとを含む、請求項1、2および4から11のいずれか一項のダイナミック連想記憶セルの中で探索データを保存データと比較する方法。

- 【請求項17】 a) マッチ・ラインを予め設定した前充電電圧レベルに保つステップと、
 b) 第1および第2の探索ラインを低論理レベルに保つステップと、
 c) 第1および第2のビット・ラインを中間電圧レベルに浮かせるステップと、
 d) ワード・ラインを高論理レベルまで上げるステップと、
 e) 第1および第2のビット・ラインにおける前記中間電圧レベルからの電圧レベルの差異を検知および増幅して読み出しデータを表示するステップと、
 f) 読み出しデータを第1および第2の保存装置の中に再保存するステップとを含む、請求項1、2および4から11のいずれか一項のダイナミック連想記憶セルから保存データを読み出す方法。

- 【請求項18】 a) 複数のメモリ・セルに結合されたマッチ・ラインを前充電電圧レベルまで前充電するステップと、
 b) 反対または同じ論理レベルの探索データを複数のメモリ・セルに結合された第1および第2の探索ラインに加えるステップと、

- c) 前記マッチ・ラインに結合された前記複数のメモリ・セルに保存されたデータを探索して前記探索データと比較するステップと、
- d) 前記複数のメモリ・セルのうちの少なくとも1つが前記探索データに対して反対位相のデータを保存している場合に、比較手段を介して前記マッチ・ラインを放電ラインに結合させるステップとを含む、ダイナミック連想記憶セルの探索および比較動作を実行する方法。

【発明の詳細な説明】**【0001】****(発明の背景)****(1. 発明の分野)**

本発明は、ダイナミック動作をする連想記憶装置(CAM)に関し、さらに特定すると高速で大容量のダイナミックCAMアレイを形成するのに適したダイナミック連想記憶セルに関する。

【0002】**(2. 背景技術の説明)**

連想記憶装置(CAM)はメモリ素子のグループが物理的な位置よりもむしろその内容で選択または識別されるメモリである。概して、CAMは縦列および横列に配置されたCAMセルのマトリクスを含む。それぞれのCAMセルは1ビットのデジタル・データを保存し、保存したデータと外部から供給される探索データとを比較することのできる回路を含む。1つまたは複数ビットの横列が1つのワードを構成する。連想記憶装置は探索ワードをCAM内部に保存したワードのセットと比較する。探索および比較の作業の間において、それぞれのワードに組み込まれた表示装置が比較結果を生み出し、探索ワードが保存ワードと一致するかどうかを表示する。

【0003】

当該技術においてCAMセルへの取り組みはいくつかある。Kenneth J. Schulutzにより「A Survey of Content-addressable Memory Cells」というタイトルで Integration, the VLSI Journal, Vol. 23, pp. 171~188, 1997に発表された論文にはいくつかのCAMセルの設計が記述されており、それぞれの長所と短所が要約されている。従来技術によるCAMセルのいくつかはスタティック動作の保存素子を使用しており、その他のものはダイナミック動作の保存素子を使用している。ダイナミック動作の保存素子は半導体基板上に占める面積がより小さくなり、それゆえに単一の集積回路チップ上でより大きなメモリ容量を得るのに好適である。ダイナミック動作の保存素子の別

の利点は、0および1に加えて、2つの保存用キャパシタが同様に変化することで「ドントケア」状態を保存できる3値保存の可能性である。最初の5トランジスタ型のダイナミックCAMセルはMundyらによって「Low-cost associative memory, IEEE Journal of Solid-State Circuits SC-7 (1972) 364~369」で発表された。Mundyの米国特許第3,701,980号もまた参考されたい。図1はMundyらのダイナミックCAMセルを具体的に説明するものであり、図2に示した本発明の図解説明との一貫性を得るために再作図および再番号付けを施してある。図1に示したように、従来技術による第1のCAMセル1はそれぞれトランジスタT1およびT2を経由してビット・ラインBL1およびBL2においてアクセスされるキャパシタC1およびC2という形になったダイナミック動作の保存素子を有する。書き込みまたは読み出しの動作はワード・ラインWLを使用してトランジスタT1およびT2をオンにさせ、マッチ・ラインML_iを低電位に保持してBL1およびBL2からC1およびC2へのデータ伝送、またはその逆を可能にすることによって実行される。探索および比較動作では、WL信号によってT1およびT2はオフに保たれ、BL1、BL2およびML_iは予め高電位にされている。その後、探索データがBL1およびBL2に加えられる。もしもC1に保存されたデータが高電位であってBL1に加えられた探索データが低電位である場合、T4およびT3を経由して電流i₁がML_iを放電させる。同様にして、もしもC2に保存されたデータが高電位であってBL2に加えられた探索データが低電位である場合、ML_iは放電されるであろう。もしもBL1およびBL2に加えられた探索データがC1およびC2に保存されたデータとそれぞれ合致する場合、ML_iからBL1またはBL2に至るいずれの径路にも電流は流れず、ML_iは予め充電された高電位を維持する。図1は別のワードである第2のCAMセル2をも示しており、これは別のマッチ・ラインML_{i-1}を有している。探索動作におけるML_{i-1}の電位もやはりBL1とBL2に加えられた探索データおよびC3とC4に保存された値により影響される。

図1の従来技術によるCAMセルには2つの欠点が付随する。第1は、ビット・ラインBL1およびBL2のキャパシタンスがそれらのビット・ラインに接続されたそれぞれのCAMセルに保存されたデータに依存して変化することである。第2は、探索および比較動作の間におけるいずれのマッチ・ライン（例えばML；またはML；-1）の電圧も1つのワードにある保存データばかりでなく、CAMセルの一定のサブアレイ内部にある他のワードの保存データにまで依存性があることである。これはビット・ラインのドライバであるT3およびT4の電流性能には限界があるが、BL1およびBL2に付随したセルのデータ内容（例えば第1のセル1および第2のセル2に保存されたデータ）によってはいくつものマッチ・ラインを放電させることを要求されるために生じるものである。

【0005】

これらの欠点は1つの特定のビット・ラインに接続できるセルの数に制限を与え、それゆえにサブアレイのサイズを制限し、マッチ・ラインの電圧レベルを検出するために信頼性のある回路を設計することが一層困難になる。

【0006】

Mundayによる最初の提案から変形されたものがいくつか文献に存在する。これらにはWadeとSodiniによって発表された「Dynamic cross-coupled bit line content addressable memory cell for high density arrays, IEDM Digital Technology Papers (1985) 284~287」が含まれる。WadeとSodiniの米国特許第4,831,585号も参照されたい。また別の、ダイナミック動作のラッチ回路を使用する改良型のCAMセルがJonesによる「Design, Selection and Implementation of a content-addressable memory: alternatives to the ubiquitous RAM, IEEE Computers 22 (1989) 51~64」で発表された。これら引用した改良にはマッチ・ライン電圧検出およびビット・ラインのキャパシタンスにおける変動の問題について充分に向けられたものはない。

【0007】

Kadotaらは「An 8-Kbit content-addressable and reentrant memory, IEEE Journal on Solid State Circuits SC-20 (1985) 951~957」の中で1つのスタティックCAMの設計を提示した。Kadotaの米国特許第4,823,313号もまた参考されたい。この設計では、マッチ・ラインとグラウンド端子との間に1対の能動的プル・ダウン回路が使用されており、それぞれが直列接続された2つのトランジスタから成っている。一方のトランジスタのゲート電極は2つのセルのノードの一方に接続され、他方のトランジスタのゲート電極は対応するビット・ラインに接続されている。保存素子がスタティック型であるために、Kadotaの設計によるCAMセルは2値保存に限定される。第3の「ドントケア」状態を可能にするためには、追加の保存装置が必要とされるであろう。

【0008】

以上に参照したすべてのCAMセルはそのビット・ラインを探索および比較動作のための書き込みおよび読み出し動作の両方に使用している。そのような配置はCAMセルのアレイの全体的な動作スピードをある程度束縛するものとなる。この問題は、Berghらによって「A fault-tolerant associative memory with high-speed operation, IEEE Journal on Solid-State Circuits SC-25 (1990) 912~919」の中で発表された設計のように、探索および比較動作の間において探索データを搬送するのに探索ラインを使用し、ビット・ラインを書き込みだけおよび読み出しだけに使用することによって軽減することができる。この設計はやはり2値保存性能に限定されるスタティック・メモリを使用している。さらに、この設計の探索ラインは比較回路のソースまたはドレン端子に接続されており、そのために探索ラインの負荷が重くなり、したがって相対的に高い電力消費と遅い探索および比較動作の原因となっている。

【0009】

以上の観点から、比較的低消費電力しか必要とせず、比較的高速の探索および比較動作ができる、マッチ・ラインの電圧およびビット・ラインのキャパシタンスが比較的安定しており、しかも3値の保存性能を提供するCAMセル構造が必要とされることは明らかである。

【0010】

(発明の概要)

本発明の目的は、改良したダイナミック連想記憶装置(CAM)セルを提供することであり、これは、2進法および3進法の記憶能力を有する、比較的高速で大容量のCAMアレイを構築するのに適している。

【0011】

本発明の他の目的は、マッチ・ラインにおいて比較的安定な電圧レベルを有するCAMセルを提供することである。本発明のさらに他の目的は、ビット・ラインにおいて比較的安定なキャパシタンスを有するCAMアレイを提供することである。

【0012】

本発明の態様によれば、

- a) 第1データ・ビットを記憶する第1記憶手段と、
- b) 第2データ・ビットを記憶する第2記憶手段と、
- c) 第1および第2探索ライン上で搬送された第1および第2探索ビットを、それぞれ、前記第1および第2記憶手段に記憶されている第1および第2データ・ビットと比較する比較手段であって、前記第1および第2探索ビットと前記第1および第2データ・ビットの間で不整合が生じる場合、および前記第1および第2データ・ビットが反対のレベルを有するとき、マッチ・ラインをディスチャージ・ラインに結合する比較手段と、
- d) ワード・ラインによって起動されるとき、前記第1および第2記憶手段を、それぞれ第1および第2ビット・ラインに結合する第1および第2アクセス手段とを含む、ダイナミック連想記憶装置セルが提供されている。

【0013】

本発明の実施形態では、記憶セルは、第1および第2データ・ビットが相補的

である、「0」および「1」の第1および第2記憶状態と、第1および第2データ・ビットが類似している第3記憶状態とを有する。

第1および第2記憶手段の各々は、キャパシタを備え、第1および第2アクセス手段の各々は、ワード・ラインに結合されているゲートを有するトランジスタを備え、比較手段は、第1記憶手段と第2探索ラインに結合されているゲートを有する直列のトランジスタの第1対を有する第1プルダウン回路と、第2記憶手段と第1探索ラインに結合されているゲートを有する直列のトランジスタの第2対を有する第2プルダウン回路とを備えることが好ましい。

【0014】

本発明の他の実施形態では、ディスチャージ・ラインは、選択的に、

- (a) 電源端子と接地端子の間で所定の電圧レベルを有する低電圧端子に結合されているか、
- (b) 電源に端子に結合されているゲートを有するトランジスタで形成されていることが好ましい電流リミッタを介して接地端子に結合されている。

【0015】

本発明の実施形態では、各トランジスタは、ドレイン端子、ソース端子、およびゲート端子を有する、絶縁ゲート電界効果トランジスタ(FET)である。そのような実施形態では、記憶セルは、

- a) 少なくとも1つの高度にドープされたエリアが、各前記FETのドレイン端子とソース端子を形成する活動領域と、
- b) 各前記FETのゲート端子を形成する第1ポリシリコン導電層と、
- c) 第1および第2ビット・ラインと、前記活動領域と前記第1ポリシリコンの間の少なくとも1つの相互接続とを形成する第2ポリシリコン導電層と、
- d) 前記活動領域の高度にドープされたエリアにおいて選択された点へのコンタクトを提供し、かつ、前記第1および第2ポリシリコン導電層の間の相互接続を提供する金属導電層と、
- e) 各前記キャパシタの第1および第2プレートをそれぞれ形成する第3および第4ポリシリコン導電層とを備える複数の半導体層を使用して、集積回路内において製作されており、

前記活動領域が、前記第2ポリシリコン導電層と前記金属導電層によって形成された相互接続を介して、前記比較手段のゲートを形成する前記第1ポリシリコン導電層のエリアに結合されている。

【0016】

記憶セルは、

- a) 少なくとも1つの高度にドープされたエリアが、各前記FETのドレイン端子とソース端子を形成する活動領域と、
- b) 各前記FETのゲート端子を形成する第1ポリシリコン導電層と、
- c) 第1および第2ビット・ラインと、前記活動領域と前記第1ポリシリコンの間の少なくとも1つの相互接続とを形成する第2ポリシリコン導電層と、
- d) 各前期キャパシタの第1および第2プレートをそれぞれ形成する第3および第4ポリシリコン導電層とを備える複数の半導体層を使用して、集積回路内において製作されており、

前記活動領域が、前記第2ポリシリコン導電層と前記金属導電層によって形成された相互接続を介して、前記比較手段のゲートを形成する前記第1ポリシリコン導電層のエリアに結合されている。

【0017】

第1および第2ビット・ラインの各々は、オープン・ライン構成で形成されていることが好ましい。

【0018】

本発明の他の態様によれば、以下の方法が提供されている。

1. ダイナミック連想記憶装置セルにビット・データを書き込む方法であって

- a) マッチ・ラインを所定の事前充電電圧レベルに保つステップと、
- b) 第1および第2探索ラインをロー・ロジック・レベルに保つステップと、
- c) 前記ビット・データを第1および第2ビット・ライン上に配置するステップと、
- d) ワード・ラインをハイ・ロジック・レベルに上げるステップと、
- e) ワード・ラインをロー・ロジック・レベルに下げ、それにより、前記デー

タを第1および第2記憶装置に記憶するステップとを含む方法。

2. ダイナミック連想記憶装置にビット・データを書き込む方法であって、
 - a) ワード・ラインをロー・ロジック・レベルに保つステップと、
 - b) マッチ・ラインを所定の事前充電電圧レベルに事前充電するステップと、
 - c) 前記探索データを第1および第2探索ライン上に配置するステップと、
 - d) マッチ・ライン上の電圧変化を、探索データと記憶データの比較の結果を示すものとして検出するステップとを含む方法。
3. ダイナミック連想記憶装置セルにビット・データを書き込む方法であって、
 - a) マッチ・ラインを所定の事前充電電圧レベルに保つステップと、
 - b) 第1および第2探索ラインをロー・ロジック・レベルに保つステップと、
 - c) 第1および第2ビットランが、中間電圧レベルで浮動することを可能にするステップと、
 - d) ワード・ラインをハイ・ロジック・レベルに上げるステップと、
 - e) 読取りデータを示すために、前記中間電圧レベルから、第1および第2ビット・ラインの各々における電圧レベルの差を感知して増幅するステップと、
 - f) 読取りデータを第1および第2記憶装置に再記憶するステップとを含む方法。

【0019】

本発明の他の態様によれば、ダイナミック連想記憶装置セルにおいて、探索と比較のオペレーションを実施する方法が提供されており、

- a) 複数の記憶セルに結合されているマッチ・ラインを、事前充電電圧レベルまで事前充電するステップと、
- b) 反対または同じレベルの探索データを、複数の記憶セルに結合されている第1および第2探索ライン上に配置するステップと、
- c) 前記マッチ・ラインに結合されている前記複数の記憶セルに記憶されているデータを探索し、前記探索データと比較するステップと、
- d) 前記複数の記憶セルの少なくとも1つが、反対のロジック位相のデータを前記探索データに記憶する場合、比較手段を介してディスチャージ・ラインに結

合するステップとを含む。

【0020】

本発明の他の態様によれば、ダイナミック連想記憶装置セルが提供されており

- a) 第1および第2データ・ビットをそれぞれ記憶する第1および第2記憶手段と、
- b) 第1および第2ビット・ライン上で搬送された第1および第2探索ビットを、前記第1および第2記憶手段に記憶されている第1および第2データ・ビットと比較する比較手段であって、前記第1および第2探索ビットと前記第1および第2データ・ビットとの間で不整合が生じる場合、および前記第1および第2データ・ビットが反対のレベルを有するとき、マッチ・ラインをディスチャージ・ラインに結合する比較手段と、
- c) ワード・ラインによって起動されるとき、前記第1および第2記憶手段を前記第1および第2ビット・ラインにそれぞれ結合する第1および第2アクセス手段とを備える。

【0021】

ここで、本発明の例示的な実施形態について、図面を参照してさらに記述する。

【0022】

(発明の詳細な説明)

本発明の好ましい実施形態によるダイナミックCAMセルを図2のトランジスタ回路構成に示す。この図に示したように、CAMセルは、キャパシタC1およびC2の形態にある、第1および第2記憶装置を含む。各記憶装置は、「1」(記憶されている電圧がVcpより高い)または「0」(記憶されている電圧がVcpより低い)を記憶することができる。2進法の構成では、CAMセルは、C1上の「0」とC2上の「1」、またはC1上の「1」とC2上の「0」として、2進ビットのデジタル情報を記憶する。さらに、3進法の構成では、CAMセルは、両方の記憶装置が、C1とC2の両方で「0」を記憶するなど、「0」を記憶するとき、追加の「ドントケア」状態を獲得する。

【0023】

これらのキャパシタは、通常、各々 f_{TF} の値を有し、従来技術を使用して、CAMセル・アレイ全体の集積回路実装の一部として製作される。

【0024】

図2に示したCAMセル回路では、以下のように、いくつかの電圧端子を使用して、異なる電圧レベルを回路の異なる部分に供給する。

電源端子 V_{DD}

接地端子 V_{SS}

それらの V_{DD} と V_{SS} の間にある電圧レベルを有するセル・プレート電圧端子 V_{CP}

それらの V_{DD} と V_{SS} の間にある電圧レベルを有する低電圧端子 V_G 、または接地 V_{SS}

V_{DD} 、 V_{CP} 、および V_{SS} の通常の値は、それぞれ、3.3V、1.65V、および0Vである。

【0025】

以下で与える記述では、図2の回路の様々な点は、接地端子 V_{SS} にレベルの近傍であるように取られているロジック・ロー・レベル（「0」レベル）と、電源端子 V_{DD} のレベルの近傍であるように取られているロジック・ハイ・レベル（「1」レベル）との間で変動する電圧を有する。

【0026】

図2に示したように、第1記憶装置C1と第2記憶装置C2は、それぞれ、CAMセルに記憶されているデータに対応する信号レベル、すなわち「0」、「1」、または「ドントケア」メモリ・コンテンツを搬送する第1セルノードN1と第2セル・ノードN2を有する。これらの2つのセル・ノードN1およびN2は、それぞれ第1アクセス装置T1と第2アクセス装置T2を介して、書き込みオペレーションと読み取りオペレーションのためにアクセス可能である。記憶装置C1およびC2の残りの2つの端子は、セル・プレート電圧端子 V_{CP} に接続されている。T1およびT2のソース端子は、それぞれN1およびN2に接続されており、一方、それらのドレイン端子は、それぞれ第1ビット・ラインBL1と第2

ビット・ラインBL2に接続されている。第1アクセス装置T1と第2アクセス装置T2は、それらのゲート端子をワード・ラインWLに接続することによって、WLに応答する。記憶装置C1およびC2に書き込まれるデータは、ワード・ラインWL上の電圧レベルを電圧V_{DD}より高い電圧V_{pp}まで上げることによって、ゲート端子を介して、第1アクセス装置T1と第2アクセス装置を起動しながら、第1ビット・ラインBL1と第2ビット・ラインBL2の上に配置される。このようにして書き込まれたデータは、以下でさらに説明するように、やはり第1アクセス装置T1と第2アクセス装置T2を起動することによって、第1ビット・ラインBL1と第2ビット・ラインBL2において、読み取ることができる。

【0027】

CAMセルは、さらに、第1および第2プルダウン回路を有する比較手段を含む。第1プルダウン回路は、マッチ・ラインMLとディスチャージ・ラインDLの間で直列に接続されている第3プルダウン装置T3と第4プルダウン装置T4からなり、T3のドレイン端子は、T4のソース端子に接続されている。第3プルダウン装置T3は、そのゲートをN1に接続することによって、第1セル・ノードN1に応答し、一方、T4のゲートは、第2探索ラインSL2に接続されている。同様に、第2プルダウン回路は、それぞれMLとDLの間で接続されている第5プルダウン装置T5と第6プルダウン装置T6からなり、T5のドレイン端子は、T6のソース端子に接続され、T5のゲート端子は、N2に接続され、T6のゲートは、第1探索ラインSL1に接続されている。第1プルダウン回路と第2プルダウン回路の組合せは、C1とC2に記憶されている相補的データ・ビットと、SL1およびSL2の上で搬送された相補的な探索ビットとの比較を提供する。そのような比較の結果は、以下でさらに記述するように、データの不整合が存在する場合、第1プルダウン回路または第2プルダウン回路によってディスチャージされているMLに反映されている。代替として、T3とT4およびT5とT6の直列接続は、比較オペレーションに影響を与えずに、反対にすることができる。

【0028】

一実施形態では、ディスチャージ・ラインDLは、接地端子V_{SS}に直接結合されている。代替実施形態では、ディスチャージ・ラインDLは、電源端子V_Dに結合されているゲート端子を有する電流リミッタ・トランジスタT7を介して、接地端子V_{SS}に間接的に結合されている。このトランジスタは、不整合が存在する場合、CAMセルから接地に流れる電流を制限するように作用する。さらに他の実施形態では、ディスチャージ・ラインは、電力消費を節約するために、制御回路（図示せず）によって選択的に設置される電圧端子に結合されている。

【0029】

CAMセル回路は、回路の異なる点において、2進信号レベル（ハイまたはロー）を課すことによって、書き込み、読み取り、および探索と比較のオペレーションのいずれかを行うように動作される。以下の表は、以下で記述するオペレーションの際の、様々な点における異なる信号レベルの概要を提供する。

【0030】

【表1】

表1

オペレーション	WL	BL1	BL2	N1	N2	SL1	SL2	ML
書き込み	1+	0	1	0	1	0	0	1
バースト書き込み	1+	1	0	1	0	0	0	1
3進法書き込み	1+	0	0	0	0	0	0	1
読み出し	1+	N1	N2	N1	N2	0	0	1
探索（整合）	0	X	X	1	0	1	0	1
	0	X	X	0	1	0	1	1
	0	X	X	0	1	0	0	1
記憶された 「ドントケア」	0	X	X	0	0	X	X	1
探索（不整合）	0	X	X	1	0	0	1	V _G
	0	X	X	0	1	1	0	V _G

【0031】

書き込み、読み取り、または探索と比較のオペレーションを開始する前に、マッチ

・ラインMLは、所定の事前充電レベルまで事前充電され、この実施形態では、VDDよりわずかに低い電圧まで事前充電される。

【0032】

図3A、3B、および3Cは、図2のダイナミックCAMセルに対する3つの代替書き込みシーケンスを示す。これらの図に示したように、書き込みシーケンスは、以下のステップからなる。

(a) マッチ・ラインMLを所定のレベルに保ち、第1探索ラインSL1と第2探索ラインSL2をロー・レベルに保つ。

(b) CAMセルに書き込まれるデータに対応する2進信号レベル（ロジック・ハイおよびロジック・ロー）を第1ビット・ラインBL1と第2ビット・ラインBL2の上に配置する。

(c) ワード・ラインWLをVPPレベル（VDDより高い）まで上げ、第1セル・ノードN1がBL1において信号レベルを獲得するように、第1記憶キャパシタC1を充電し、第2セル・ノードN2が、BL2の上において信号レベルを獲得するように、第2記憶キャパシタC2を充電する。

(d) 次いで、ワード・ラインWLの信号レベルをVSSまで下げ、第1ノードN1と第2ノードN2において獲得された信号レベルを、それぞれ第1キャパシタC1と第2キャパシタC2に記憶する。

【0033】

図3Aと3Bに示したシーケンスは、BL1とBL2の上に配置されたロー（0）信号とハイ（1）信号の相補的な対によって表された2進ビットの書き込みに関する。BL1、BL2、N1、およびN2に対する実線は、1つの相補的な信号の対を示し、点線は、実線によって示したものとは反対の他の相補的な対を示す。図3Aは、ハイとローの間にある中間レベルのBL1とBL2で開始される書き込みシーケンスに関する。中間レベルは、通常、VSSの2分の1であるVDである。

【0034】

図3Bは、中間レベル以外の状態のBL1とBL2で開始される書き込みシーケンスに関する。これは、例えば、所定の数のCAMセルが順次書き込まれている

バースト書き込みオペレーション中に、BL1とBL2が、中間レベルに戻るには十分な時間がない、先行する書き込みシーケンスが書き込みシーケンスの直前である場合などである。

【0035】

図3Cを参照すると、3進法のデータ書き込み例が示されている。このシーケンスでは、BL1とBL2の両方が、それぞれノードN1とN2の上にあるセルの2つの半分ずつに書き込まれる「0」を搬送する。3進データ書き込みシーケンスに含まれるステップは、上述した通常の2進書き込みシーケンスに含まれているステップと同じである。すなわち、

- (a) マッチ・ラインMLを事前充電レベルに保ち、第1探索ラインSL1と第2探索ラインSL2をロー・レベルに保つ。
- (b) ロー・ロジック・レベル信号「0」を、それぞれBL1とBL2の上に配置する。
- (c) ワード・ラインWLをVPPまで上げ、アクセス・トランジスタT1とT2が完全に導通して、ビット・ライン・データをそれぞれノードN1およびN2上に渡す。
- (d) ワード・ラインWLをVSSまで下げ、ノードN1とN2の上の「0」データを、それぞれキャパシタC1とC2に記憶する。

【0036】

ノードN1とN2の両方ともロジック・ローまたは「0」なので、プルダウン・トランジスタT3またはT5のどちらもイネーブルにはならない。その結果、探索と比較のオペレーション中に、プルダウン・トランジスタT4とT6のゲートに対して提示されたあらゆる探索データは事実上無視され、マッチ・ラインMLとディスチャージ・ラインDLの間で経路を創出することができず、したがって、ノードN1とN2の両方の上に記憶されているこのデータ「0」は、CAMセルの「ドントケア」状態、すなわち、セルによって記憶することができる第3のタイプの状態を表す。

【0037】

図4は、図2のダイナミックCAMセルに対する探索と比較のシーケンスを示

し、以下のステップからなる。

- (a) 探索と比較の全シーケンス中に、ワード・ラインWLをロー・レベルに保ち、一方、第1ビット・ラインBL1と第2ビット・ラインBL2を事前充電レベルに保つこと、または「0」あるいは「1」に駆動すること、または浮動させることが可能である。
- (b) マッチ・ラインMLが、VDDまたはVDDよりわずかに低い事前充電レベルで開始される。
- (c) CAMセルに記憶されているデータと比較される探索データに対応する2進信号レベル（ハイおよびロー）を、この場合、SL1=「1」、SL2=「2」である、第1探索ラインSL1と第2探索ラインSL2の上に配置する。
- (d) 探索データと記憶されているデータの比較の結果を、ML上の後続信号レベルによって示す。探索データが記憶データと同じである場合、すなわち、整合している場合、第1プルダウン回路または第2プルダウン回路のいずれも、導通しているトランジスタを有していないので、MLは、事前充電レベルに留まる。探索レベルが記憶データと異なる場合、すなわち整合していない場合、両方のトランジスタとも導通しており、電流が流れ、MLを事前充電レベルより低い信号レベルまで下げることが可能になるので、2つのプルダウン回路の一方が起動される。この場合、例えば、SL1=「0」、SL2=「1」、およびN1=「1」である場合、不整合が存在し、トランジスタT3とT4は導通して、それにより、図4の点線によって示したように、事前充電からMLを引き離す。

【0038】

第1プルダウン回路と第2プルダウン回路は、第1探索ラインSL1と第2探索ラインSL2の上で搬送された探索データと、第1ノードN1と第2ノードN2において提示された記憶データの比較を実施することに留意されたい。整合させるには、第1プルダウン回路と第2プルダウン回路のいずれも、導通すべきではない。不整合を生じさせるためには、第1プルダウン回路と第2プルダウン回路のどちらかが、導通すべきである。図4では、実線は、探索データが記憶データと整合する場合に関し、点線は、探索データが記憶データ塗布整合する場合に関する。

【0039】

図5は、図2のダイナミックCAMセルに対する読み取りシーケンスを示し、以下のステップからなる。

- (a) 全読み取りシーケンス中、MLを事前充電レベルに保ち、探索ラインSL1とSL2をロー・レベルに保つ。
- (b) ビット・ラインBL1とBL2が、中間レベル($V_{DD}/2$)まで事前充電することによって開始される。
- (c) ワード・ラインWLを、BL1とC1の間、およびBL2とC2の間で電荷を共有することを可能にするVppレベルまで上げ、したがって、BL1とBL2の電圧レベルが、C1とC2に記憶されているデータを追跡するために、当初の事前充電レベルから逸脱し始める。
- (d) 事前充電レベルから逸脱したBL1とBL2の信号レベルの差を感じして、第1および第2ビット・ライン感知増幅器（それぞれ図8でSA1およびSA2として示す）によって増幅し、読み取りシーケンスの出力を提供する。
- (e) 次いで、増幅した読み取りシーケンスの出力を使用して、C1とC2を読み取りシーケンス直前の状態まで再充電することによって、当初記憶されていたCAMセルにデータを再記憶する。

【0040】

従来技術の回路とは異なり、上述した本発明の実施形態は、オープン・ビット・ライン・アーキテクチャを有すること、すなわち、BL1とBL2は必ずしも「反対の」位相ではなく、実際別々の感知増幅器を有することに留意することが重要である。オープン・ビット・ライン・アーキテクチャは、3進法のデータ記憶とアクセスを見込んでいる。

【0041】

本発明の他の実施形態では、ビット・ラインは、図8に示したように、オープン・ビット・ライン構成に配置されており、それにより、BL1の右側BL1RとBL2の右側BL2Rは、それぞれ、BL1の左側BL1LとBL2の左側BL2Lから、比較的離れて配置されている。感知増幅器の各側面上のビット・ラインは、感知中に均衡したロードを提供するように、等しい長さである。この構

造により、図1に関連して上述したCAMセル内における3進法のデータ記憶機能が可能になる。

【0042】

図6Aと6Bは、図2のダイナミックCAMセルに関する一実施形態の集積回路を製作するためのマスク・レイアウトと断面図を示す。ここでは、図2に示したトランジスタ装置T1～T7の各々は、ドレイン端子、ソース端子、ゲート端子、およびドレイン端的とソース端子の間のチャネルを有する絶縁ゲート電界効果トランジスタ(FET)であり、記憶装置C1とC2の各々は、DRAM産業において知られているように、誘電体によって分離されている2つのポリシリコン層P3とP4から作成されている。図6Aと6Bに示した集積回路のレイアウトは、

- (a) ドレイン端子とソース端子、および各FET T1～T7のチャネルを形成するための、高度にドープされた半導体活動(AC)領域、
- (b) 各FETのゲート端子を形成するための第1ポリシリコン層(p1)、
- (c) 第1ビット・ラインBL1と第2ビット・ラインBL2および局所的な相互接続を形成するための第2ポリシリコン層(P2)、
- (d) セル・キャパシタC1とC2の底部プレートを形成するための第3ポリシリコン層(P3)、
- (e) セル・キャパシタC1とC2の上部プレートを形成するための第4ポリシリコン層(P4)、
- (f) さらに局所的な相互接続と、ならびに、以下で記述するように、活動領域へのコンタクトを提供するための導電金属層(M1)からなる。

【0043】

図6Aと6Bを参照すると、本発明の一実施形態によるセル構造が、スタッカ化キャパシタDRAM製作プロセスのコンテキストで記述されている。図6Aの要素は、図2に示したCAMセル全体の半分のみ、具体的にはトランジスタT1、T3、およびT4と第1キャパシタC1を含む、図2の左半分に対応する。図6Aの左半分は、トランジスタT1とキャパシタC1からなるCAMセルの記憶部分である。図6Aの右半分は、トランジスタT3とT4からなるCAMセルの

探索部分である。T 1 のソース／ドレイン端子の一方は、第2ポリシリコン層（P 2）の第1ビット・ラインに接続されている。「1／2セル・アウトライン」という名称の破線によって示したように、BL 1 コンタクトは、実際には、T 1 と図6Aに示した構造の左側に隣接するセルとの間で共有されている。第1ポリシリコン層（P 1）は、T 1 のゲートを形成する。T 1 の他のソース／ドレイン端子（N 1）は、P 3 コンタクトを経てキャパシタ C 1 に接続され、かつ、局所的な内部接続 P 2 セグメントに接続されている。第1キャパシタ C 1 は、図6A に示した P 3 と P 4 の構造によって、トランジスタ T 1 の上部に形成されている（セクション A-A' を通る断面図について図6Bも参照）。図6Bでは、P 4 と P 3 は、明示していないが、当業者にはよく知られている、誘電体材料によって分離されている。次いで、第1セル・ノード N 1 は、第1金属層（M 1）の金属接続によって、局所的な内部接続 P C から T 3 のゲートに接続されている。この M 1 コンタクトは、図6Bに示すように、P 4 層のエリアの外部に配置されなければならないが、P 3 を直接 P 1 に接続する、または P 1 を直接 P 2 に接続するために必要な追加のプロセスのステップ（これは、以下で図7Aと7Bに関して詳細に記述する好ましい実施形態である）が、利用可能でない場合、適切な接続の解決法を表している。トランジスタ T 3 は、活動領域（ACT）と P 1 ゲートによって形成され、トランジスタ T 4 は、活動領域と他の隣接セルとも共有される第1探索ライン S L 2 へのコンタクトを有する他の P 1 ゲートとによって形成される。ディスチャージ・ライン D L とマッチ・ライン M L への T 3 と T 4 の M 1 コンタクトは、BL 1 コンタクトに関して記述したように、隣接セルと共有されている。

【0044】

図7Aと7Bに示した本発明の好ましい実施形態によれば、セル構造は、図6Aに示したセルと比較して、かなり低減されている。図6Aの構造に対する改良は、本質的に、マッチ・ライン M L とディスチャージ・ライン D L の位置を交換し、次いで、P 2 のノード N 1 から P 1 の T 3 のゲートまで、直接コンタクトを作成することからなる。その結果、図6Aに示した以前の実施形態の M 1 コンタクトは必要でなくなり、したがって、N 1 から T 3 のゲートへの接続を P 3 ~ P

4キャパシタの下に配置することができ、セルをさらにより密に詰めることができになる。これは、2つのポリシリコン層を接続する追加のプロセス・ステップを必要とする。この追加のプロセス・ステップが利用可能である場合、この好ましい実施形態を使用して、より密なアレイを達成すべきである。ビット・ラインの長さが低減されているので、ビット・ライン・キャパシタンスに対するDRA Mセルは低減され、それに応じて、オペレーションの速度は増大する。P3からP1への直接コンタクトが利用可能である場合、T3へのN1のコンタクトをP3～P4キャパシタの下に配置することができる。そのような追加のプロセス・ステップが利用可能でない場合、図6Aと6Bの実施形態を使用すべきである。

【0045】

図2の回路設計は、本発明の好ましい実施形態であり、単に例示のために提示されている。本発明の精神から逸脱せずに、容易に他の代替実施形態を得ることができる。

【図面の簡単な説明】

【図1】

従来技術による、ダイナミックCAMセルの回路図である。

【図2】

本発明の好ましい実施形態による、ダイナミックCAMセルの回路図である。

【図3】

A、B、Cは、図2のダイナミックCAMセルに対する代替書き込みシーケンスの図である。

【図4】

図2のダイナミックCAMセルの探索シーケンスに対する信号レベルとタイミングの図である。

【図5】

図2のダイナミックCAMセルの読み取りシーケンスに対する信号レベルとタイミングの図である。

【図6】

Aは本発明の実施形態による、図2のダイナミックCAMセルを製作するため

のマスク・レイアウトの図、Bは図6 Aの線A-A'に相当する線に沿って取つた、ダイナミックCAMセルの断面図である。

【図7】

Aは本発明の好ましい実施形態による、図2のダイナミックCAMセルを製作するためのマスク・レイアウトの図、Bは図7 Aの線A-A'に相当する線に沿って取つた、CAMセルの断面図である。

【図8】

本発明による、図1のダイナミックCAMセルを接続するために使用するオープン・ビット・ライン構成の図である。

【図1】

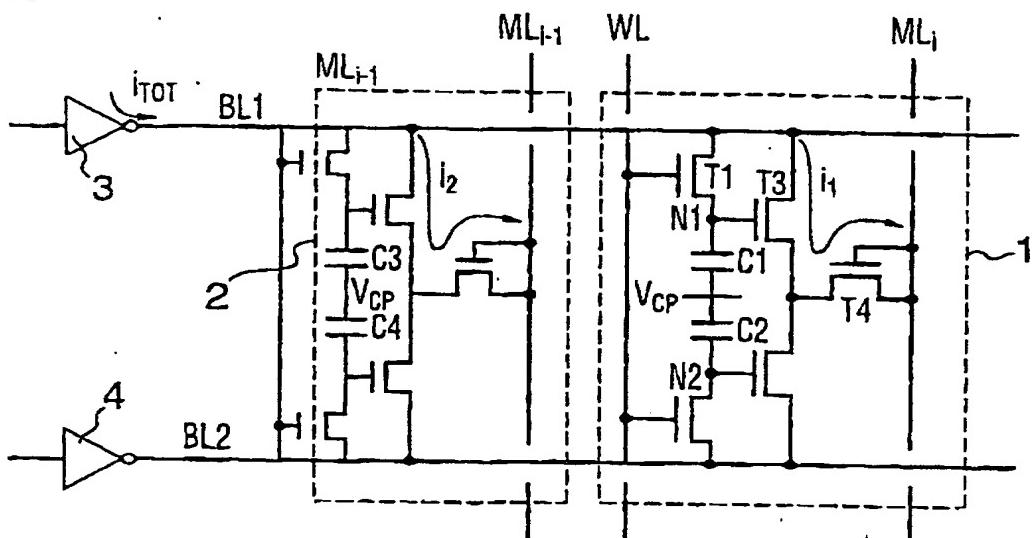


FIG. 1
PRIOR ART

【図2】

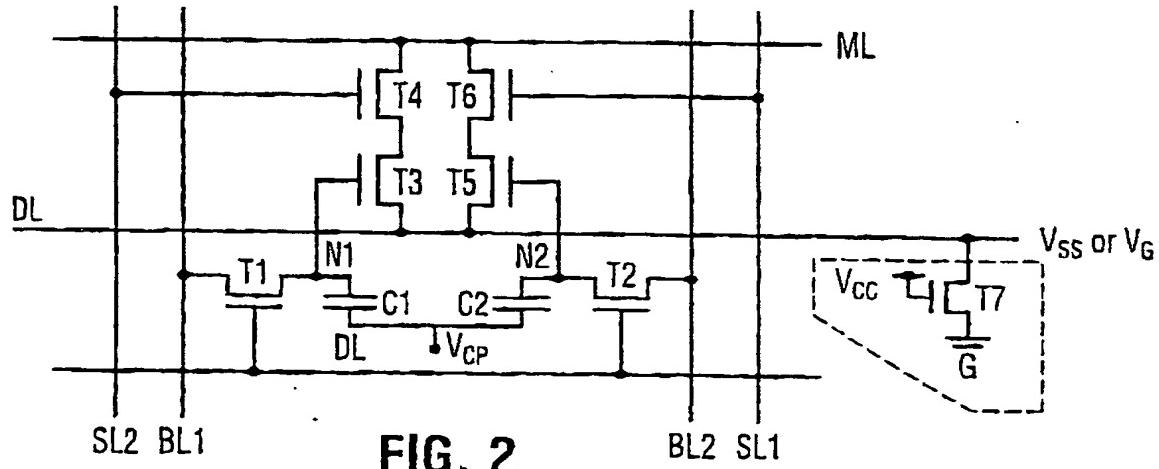


FIG. 2

【図3】

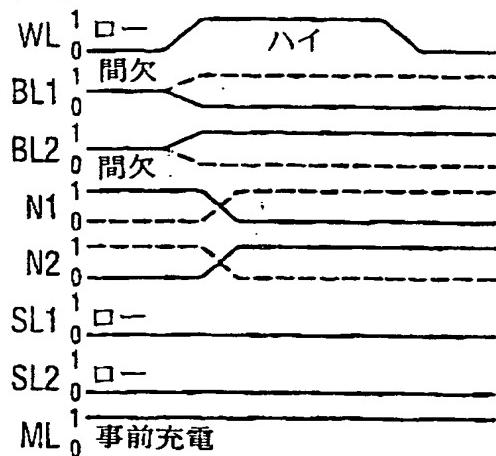


FIG. 3A

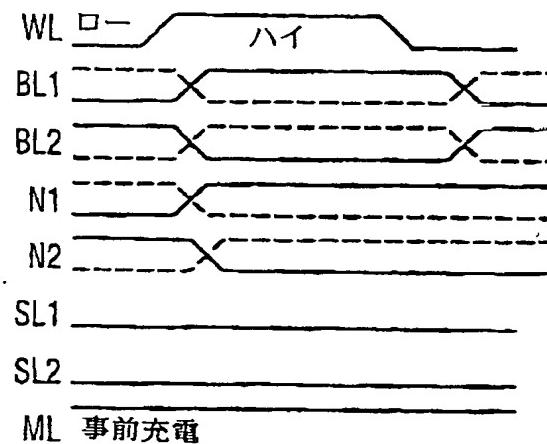


FIG. 3B

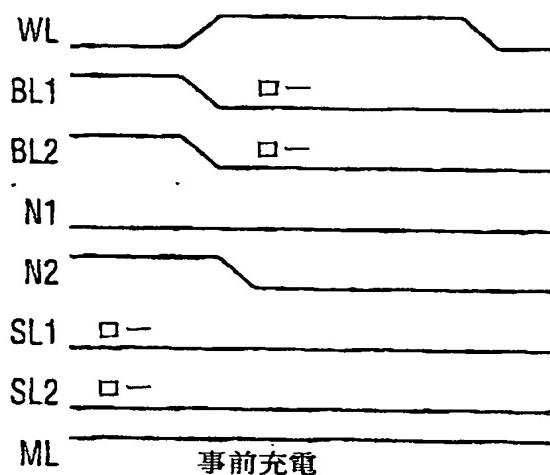


FIG. 3C

【図4】

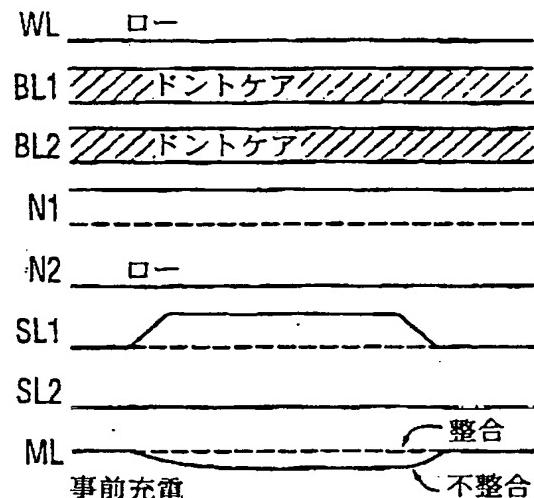


FIG. 4

【図5】

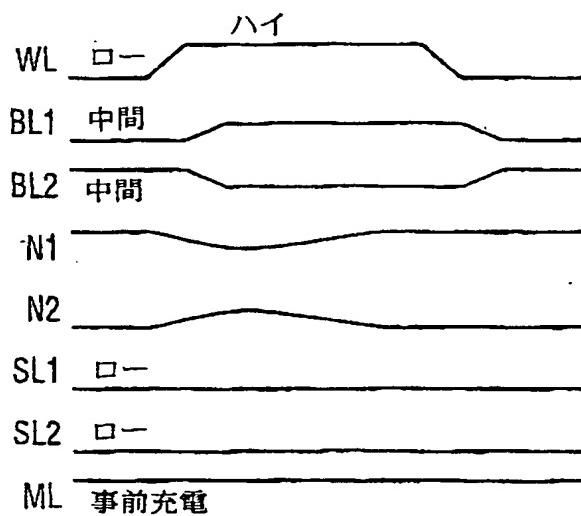


FIG. 5

【図6】

P1	P2	P3	P4	ACT	M1
----	----	----	----	-----	----

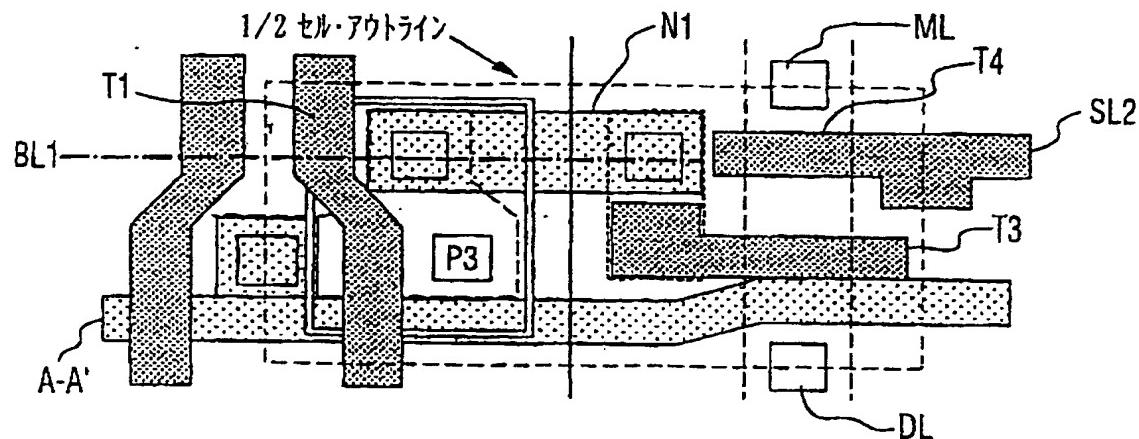


FIG. 6B

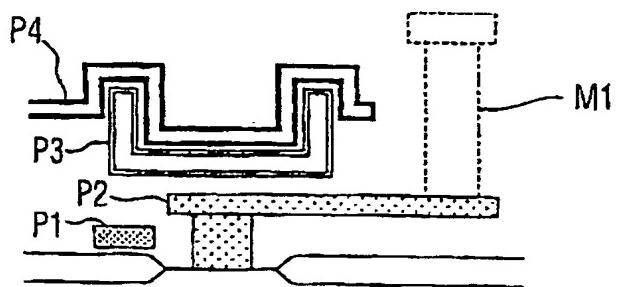


FIG. 6A

【図7】

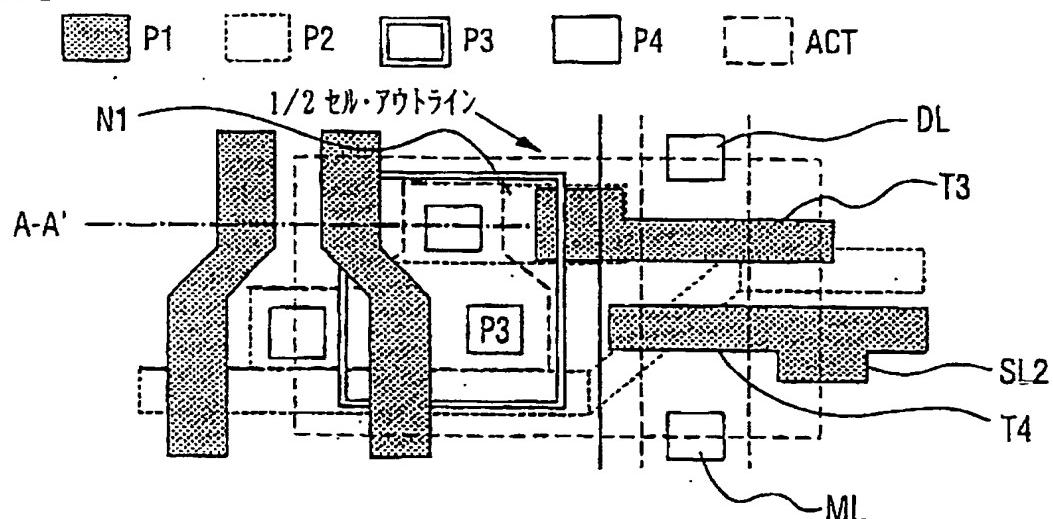


FIG. 7A

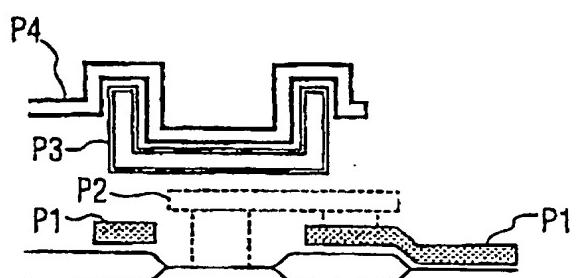


FIG. 7B

【図8】

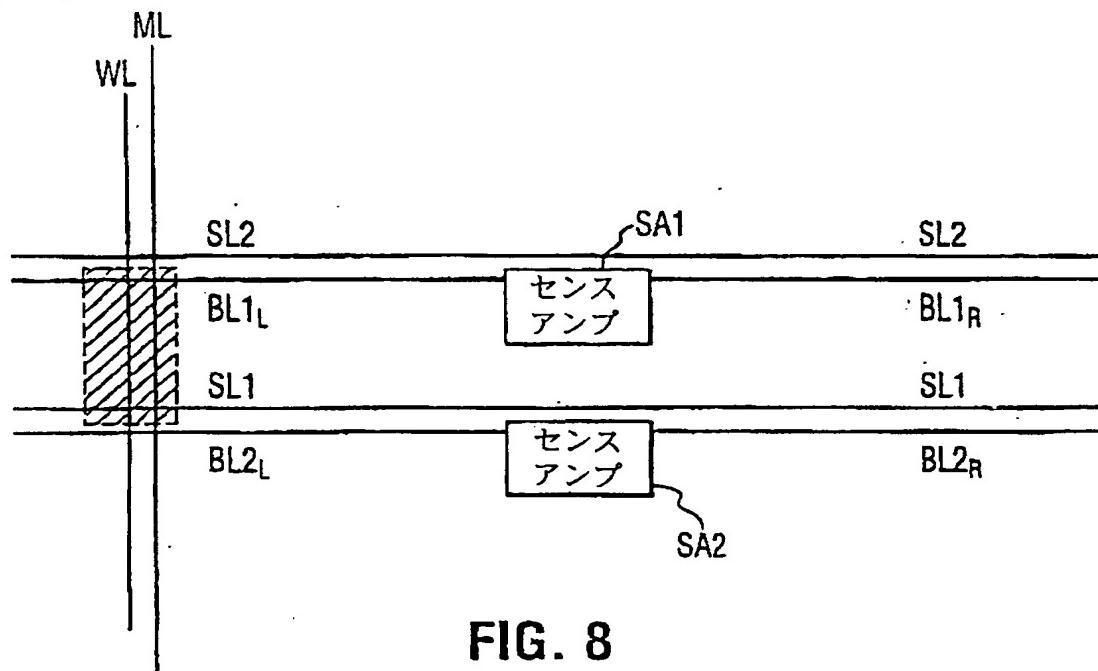


FIG. 8

【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成13年4月4日(2001.4.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 3進法データを記憶し及びアクセスするためのダイナミック連想記憶セルであって、

第1のデータ・ビットを保存するための第1の保存装置と、

第1のデータ・ビットと無関係の値を有する第2のデータ・ビットを保存するための第2の保存装置と、

第1および第2のデータ・ビットを独立して第1および第2のデータ保存装置に書き込むための、第1および第2の保存装置に接続された第1および第2のデータ・ビットと、

第1および第2の保存装置及び第2および第1の探索ラインにそれぞれ接続される第1および第2のプル・ダウン回路を有する比較手段とを含み、第1および第2のプル・ダウン回路がマッチ・ラインと放電ラインとの間に接続され、前記比較手段が第2および第1の探索ライン上に搬送されてくる第2および第1の探索ビットを第1および第2の保存装置の中に保存された第1および第2のデータ・ビットとそれぞれ比較するものであり、第1および第2の探索ビットと第1および第2のデータ・ビットとの間にミス・マッチがあった場合、および第1および第2のデータ・ビットが相補的な値を有するとき、前記比較手段がマッチ・ラインを放電ラインに結合させることを特徴とするダイナミック連想記憶セル。

【請求項2】 さらに第1および第2のアクセス装置を含み、前記第1および第2のアクセス装置が、ワード・ラインによって活性化されると、前記第1および第2の保存手段を第1および第2のビット・ラインにそれぞれ結合させる、請求項1に記載のダイナミック連想記憶セル。

【請求項 3】 a) 第 1 および第 2 のビット・ラインがオープン・ビット・ラインである、請求項 1 に記載のダイナミック連想記憶セル。

【請求項 4】 第 1 および第 2 の保存の状態を有し、そこでは第 1 および第 2 のデータ・ビットが相補的であり、第 3 の保存の状態を有し、第 1 および第 2 のデータ・ビットは非相補的である、請求項 1 に記載のダイナミック連想記憶セル。

【請求項 5】 第 1 および第 2 の保存手段のそれぞれがキャパシタを含む、請求項 1 に記載のダイナミック連想記憶セル。

【請求項 6】 第 1 および第 2 のアクセス装置のそれぞれが、ワード・ラインに結合したゲート電極を有するトランジスタを含む、請求項 2 に記載のダイナミック連想記憶セル。

【請求項 7】 第 1 のプル・ダウン回路が第 1 の保存手段および第 2 の探索ラインに結合されたゲート電極を有する直列接続の第 1 の 1 対のトランジスタを含み、第 2 のプル・ダウン回路が第 2 の保存手段および第 1 の探索ラインに結合されたゲート電極を有する直列接続の第 2 の 1 対のトランジスタを含む、請求項 1 に記載のダイナミック連想記憶セル。

【請求項 8】 放電ラインが低電圧端子に選択的に結合され、電源端子とグラウンド端子との間の前もって設定された電圧レベルを有する、請求項 1 に記載のダイナミック連想記憶セル。

【請求項 9】 放電ラインが電流制限器を経由してグラウンド端子に結合されている、請求項 1 に記載のダイナミック連想記憶セル。

【請求項 10】 電流制限器が、電源端子に結合されたゲート電極を有するトランジスタから形成されている、請求項 9 に記載のダイナミック連想記憶セル。

【請求項 11】 各トランジスタが、ドレイン端子、ソース端子、およびゲート端子を有する絶縁ゲート型電界効果トランジスタ (FET) である、請求項 6 に記載のダイナミック連想記憶セル。

【請求項 12】 少なくとも 1 つの高濃度ドープ領域が前記 FET それぞれのドレインおよびソース端子を形成する活性領域と、

前記FETそれぞれのゲート端子を形成する第1のポリシリコン導電層と、第1および第2のビット・ラインおよび前記活性領域と前記第1のポリシリコン導電層との間の少なくとも1つの相互接続を形成する第2のポリシリコン導電層と、

前記活性領域の高濃度ドープ領域の中で選択された点にコンタクトを供給し、前記第1および第2のポリシリコン導電層との間の相互接続を供給するための金属導電層と、

前記各キャパシタの第1および第2の平板をそれぞれ形成する第3および第4のポリシリコン導電層とを含み、

前記活性領域が前記第1のポリシリコン導電層のある領域に結合されて前記第2のポリシリコン導電層および前記金属導電層により形成された相互接続を介して前記比較手段のゲートを形成する、複数の半導体層を有する集積回路内に作製された、請求項1-1に記載のダイナミック連想記憶セル。

【請求項13】 少なくとも1つの高濃度ドープ領域が前記FETそれぞれのドレインおよびソース端子を形成する活性領域と、

前記FETそれぞれのゲート端子を形成する第1のポリシリコン導電層と、第1および第2のビット・ラインおよび前記活性領域と前記第1のポリシリコン導電層との間の少なくとも1つの相互接続を形成する第2のポリシリコン導電層と、

前記各キャパシタの第1および第2の平板をそれぞれ形成する第3および第4のポリシリコン導電層とを含み、

前記活性領域が前記第1のポリシリコン導電層のある領域に結合されて前記第2のポリシリコン導電層内部に形成された相互接続を介して前記比較手段のゲートを形成する、複数の半導体層を有する集積回路内に作製された、請求項1-1に記載のダイナミック連想記憶セル。

【請求項15】 a) マッチ・ラインを予め設定した事前充電電圧レベルに保ち、
b) 第1および第2の探索ラインを低論理レベルに保ち、
c) ビット・データを第1および第2のビット・ラインに加え、

- d) ワード・ラインを高論理レベルに上げ、及び
- e) ワード・ラインを低論理レベルに下げ、それによって前記データを第1および第2の保存装置内に保存する、請求項1のダイナミック連想記憶セルの中にビット・データを書き込む方法。

【請求項16】 a) ワード・ラインを低論理レベルに保ち、
 b) マッチ・ラインを予め設定した事前充電電圧レベルまで事前充電し、
 c) 第1および第2の探索ラインに探索データを加え、及び
 d) マッチ・ライン上の電圧変化を探索データと保存データとの間の比較の結果の表示として検出する、請求項1のダイナミック連想記憶セルの中で探索データを保存データと比較する方法。

【請求項17】 a) マッチ・ラインを予め設定した前充電電圧レベルに保つステップと、
 b) 第1および第2の探索ラインを低論理レベルに保ち、
 c) 第1および第2のビット・ラインを中間電圧レベルに浮かせ、
 d) ワード・ラインを高論理レベルまで上げ、
 e) 第1および第2のビット・ラインにおける前記中間電圧レベルからの電圧レベルの差異を検知および増幅して読み出しデータを表示し、及び
 f) 読み出しデータを第1および第2の保存装置の中に再保存する、請求項1のダイナミック連想記憶セルから保存データを読み出す方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】 Kadotaらは「An 8-Kbit content addressable and reentrant memory」, IEEE Journal on Solid State Circuits SC-20 (1985) 951~957の中で1つのスタティックCAMの設計を提示した。Kadotaの米国特許第4,823,313号もまた参照された

い。この設計では、マッチ・ラインとグラウンド端子との間に1対の能動的プル・ダウン回路が使用されており、それぞれが直列接続された2つのトランジスタから成っている。一方のトランジスタのゲート電極は2つのセルのノードの一方に接続され、他方のトランジスタのゲート電極は対応するビット・ラインに接続されている。保存素子がスタティック型であるために、K a d o t aの設計によるCAMセルは2値保存に限定される。第3の「ドントケア」状態を可能にするためには、追加の保存装置が必要とされるであろう。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】 以上に参照したすべてのCAMセルはそのビット・ラインを探索および比較動作のための書き込みおよび読み出し動作の両方に使用している。そのような配置はCAMセルのアレイの全体的な動作スピードをある程度束縛するものとなる。この問題は、B e r g h らによって「A fault-tolerant associative memory with high-speed operation, IEEE Journal on Solid-State Circuits SC-25 (1990) 912~919」の中で発表された設計のように、探索および比較動作の間において探索データを搬送するのに探索ラインを使用し、ビット・ラインを書き込みだけおよび読み出しだけに使用することによって軽減することができる。この設計はやはり2値保存性能に限定されるスタティック・メモリを使用している。さらに、この設計の探索ラインは比較回路のソースまたはドレイン端子に接続されており、そのため探索ラインの負荷が重くなり、したがって相対的に高い電力消費と遅い探索および比較動作の原因となっている。同様の回路がS h i n d oのJ P-A-10 050076に開示されている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】 本発明の態様によれば、3進法データを記憶し及びアクセスするためのダイナミック連想記憶セルであって、

第1のデータ・ビットを保存するための第1の保存装置と、

第1のデータ・ビットと無関係の値を有する第2のデータ・ビットを保存するための第2の保存装置と、

第1および第2のデータ・ビットを独立して第1および第2のデータ保存装置に書き込むための、第1および第2の保存装置に接続された第1および第2のデータ・ビットと、

第1および第2の保存装置及び第2および第1の探索ラインにそれぞれ接続される第1および第2のプル・ダウン回路を有する比較手段とを含み、第1および第2のプル・ダウン回路がマッチ・ラインと放電ラインとの間に接続され、前記比較手段が第2および第1の探索ライン上に搬送されてくる第2および第1の探索ビットを第1および第2の保存装置の中に保存された第1および第2のデータ・ビットとそれぞれ比較するものであり、第1および第2の探索ビットと第1および第2のデータ・ビットとの間にミス・マッチがあった場合、および第1および第2のデータ・ビットが相補的な値を有するとき、前記比較手段がマッチ・ラインを放電ラインに結合させることを特徴とするダイナミック連想記憶セルが提供される。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】 第1および第2記憶装置の各々は、キャパシタを備え、第1および第2アクセス装置の各々は、ワード・ラインに結合されているゲートを有するトランジスタを備え、比較手段は、第1記憶手段と第2探索ラインに結合

されているゲートを有する直列のトランジスタの第1対を有する第1プルダウン回路と、第2記憶手段と第1探索ラインに結合されているゲートを有する直列のトランジスタの第2対を有する第2プルダウン回路とを備えることが好ましい。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】 図2の回路設計は、本発明の好ましい実施形態であり、単に例示のために提示されている。

【手続補正書】

【提出日】平成13年12月25日(2001.12.25)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 3進法データを記憶し及びアクセスするためのダイナミック連想記憶セルであって、

第1のデータ・ビットを保存するための第1の保存装置と、

第1のデータ・ビットと無関係の値を有する第2のデータ・ビットを保存するための第2の保存装置と、

第1および第2のデータ・ビットを独立して第1および第2のデータ保存装置に書き込むための、第1および第2の保存装置に接続された第1および第2のデータ・ビットと、

第1および第2の保存装置及び第2および第1の探索ラインにそれぞれ接続される第1および第2のプル・ダウン回路を有する比較手段とを含み、第1および第2のプル・ダウン回路がマッチ・ラインと放電ラインとの間に接続され、前記比較手段が第2および第1の探索ライン上に搬送されてくる第2および第1の探索ビットを第1および第2の保存装置の中に保存された第1および第2のデータ・ビットとそれぞれ比較するものであり、第1および第2の探索ビットと第1および第2のデータ・ビットとの間にミス・マッチがあった場合、および第1および第2のデータ・ビットが相補的な値を有するとき、前記比較手段がマッチ・ラインを放電ラインに結合させることを特徴とするダイナミック連想記憶セル。

【請求項2】 さらに第1および第2のアクセス装置を含み、前記第1および第2のアクセス装置が、ワード・ラインによって活性化されると、前記第1および第2の保存手段を第1および第2のビット・ラインにそれぞれ結合させる、請求項1に記載のダイナミック連想記憶セル。

【請求項 3】 a) 第 1 および第 2 のビット・ラインがオープン・ビット・ラインである、請求項 1 に記載のダイナミック連想記憶セル。

【請求項 4】 第 1 および第 2 の保存の状態を有し、そこでは第 1 および第 2 のデータ・ビットが相補的であり、第 3 の保存の状態を有し、第 1 および第 2 のデータ・ビットは非相補的である、請求項 1 に記載のダイナミック連想記憶セル。

【請求項 5】 第 1 および第 2 の保存手段のそれぞれがキャパシタを含む、請求項 1 に記載のダイナミック連想記憶セル。

【請求項 6】 第 1 および第 2 のアクセス装置のそれぞれが、ワード・ラインに結合したゲート電極を有するトランジスタを含む、請求項 2 に記載のダイナミック連想記憶セル。

【請求項 7】 第 1 のプル・ダウン回路が第 1 の保存手段および第 2 の探索ラインに結合されたゲート電極を有する直列接続の第 1 の 1 対のトランジスタを含み、第 2 のプル・ダウン回路が第 2 の保存手段および第 1 の探索ラインに結合されたゲート電極を有する直列接続の第 2 の 1 対のトランジスタを含む、請求項 1 に記載のダイナミック連想記憶セル。

【請求項 8】 放電ラインが低電圧端子に選択的に結合され、電源端子とグラウンド端子との間の前もって設定された電圧レベルを有する、請求項 1 に記載のダイナミック連想記憶セル。

【請求項 9】 放電ラインが電流制限器を経由してグラウンド端子に結合されている、請求項 1 に記載のダイナミック連想記憶セル。

【請求項 10】 電流制限器が、電源端子に結合されたゲート電極を有するトランジスタから形成されている、請求項 9 に記載のダイナミック連想記憶セル。

【請求項 11】 各トランジスタが、ドレイン端子、ソース端子、およびゲート端子を有する絶縁ゲート型電界効果トランジスタ (FET) である、請求項 6 に記載のダイナミック連想記憶セル。

【請求項 12】 少なくとも 1 つの高濃度ドープ領域が前記 FET それぞれのドレインおよびソース端子を形成する活性領域と、

前記 FET それぞれのゲート端子を形成する第 1 のポリシリコン導電層と、
第 1 および第 2 のビット・ラインおよび前記活性領域と前記第 1 のポリシリコ
ン導電層との間の少なくとも 1 つの相互接続を形成する第 2 のポリシリコン導電
層と、

前記活性領域の高濃度ドープ領域の中で選択された点にコンタクトを供給し、
前記第 1 および第 2 のポリシリコン導電層の間の相互接続を供給するための金属
導電層と、

前記各キャパシタの第 1 および第 2 の平板をそれぞれ形成する第 3 および第 4
のポリシリコン導電層とを含み、

前記活性領域が前記第 1 のポリシリコン導電層のある領域に結合されて前記第
2 のポリシリコン導電層および前記金属導電層により形成された相互接続を介し
て前記比較手段のゲートを形成する、複数の半導体層を有する集積回路内に作製
された、請求項 1 に記載のダイナミック連想記憶セル。

【請求項 13】 少なくとも 1 つの高濃度ドープ領域が前記 FET それぞれ
のドレンおよびソース端子を形成する活性領域と、

前記 FET それぞれのゲート端子を形成する第 1 のポリシリコン導電層と、
第 1 および第 2 のビット・ラインおよび前記活性領域と前記第 1 のポリシリコ
ン導電層との間の少なくとも 1 つの相互接続を形成する第 2 のポリシリコン導電
層と、

前記各キャパシタの第 1 および第 2 の平板をそれぞれ形成する第 3 および第 4
のポリシリコン導電層とを含み、

前記活性領域が前記第 1 のポリシリコン導電層のある領域に結合されて前記第
2 のポリシリコン導電層内部に形成された相互接続を介して前記比較手段のゲー
トを形成する、複数の半導体層を有する集積回路内に作製された、請求項 1 に
記載のダイナミック連想記憶セル。

【請求項 14】 第 1 および第 2 のビット・ラインのそれぞれがオープン・
ライン構造で形成される、請求項 2 から 13 のいずれか一項に記載のダイナミッ
ク連想記憶セル。

【請求項 15】 a) マッチ・ラインを予め設定した事前充電電圧レベルに

保ち、

- b) 第1および第2の探索ラインを低論理レベルに保ち、
- c) ビット・データを第1および第2のビット・ラインに加え、
- d) ワード・ラインを高論理レベルに上げ、及び
- e) ワード・ラインを低論理レベルに下げ、それによって前記データを第1および第2の保存装置内に保存する、請求項1のダイナミック連想記憶セルの中にビット・データを書き込む方法。

【請求項16】 a) ワード・ラインを低論理レベルに保ち、
b) マッチ・ラインを予め設定した事前充電電圧レベルまで事前充電し、
c) 第1および第2の探索ラインに探索データを加え、及び
d) マッチ・ライン上の電圧変化を探索データと保存データとの間の比較の結果の表示として検出する、請求項1のダイナミック連想記憶セルの中で探索データを保存データと比較する方法。

【請求項17】 a) マッチ・ラインを予め設定した前充電電圧レベルに保つステップと、
b) 第1および第2の探索ラインを低論理レベルに保ち、
c) 第1および第2のビット・ラインを中間電圧レベルに浮かせ、
d) ワード・ラインを高論理レベルまで上げ、
e) 第1および第2のビット・ラインにおける前記中間電圧レベルからの電圧レベルの差異を検知および増幅して読み出しデータを表示し、及び
f) 読み出しデータを第1および第2の保存装置の中に再保存する、請求項1のダイナミック連想記憶セルから保存データを読み出す方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

		Int'l. Appl. No PCT/CA 00/00344
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G11C15/04 G11C11/56		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	<p>RAMIREZ-CHAVEZ S R: "ENCODING DON'T CARES IN STATIC AND DYNAMIC CONTENT-ADDRESSABLE MEMORIES" IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS II: ANALOG AND DIGITAL SIGNAL PROCESSING, US, IEEE INC. NEW YORK, vol. 39, no. 8, 1 August 1992 (1992-08-01), pages 575-578, XP000322047 ISSN: 1057-7130 page 577, column 2, paragraph 2 -page 578, column 1 figures 8-10</p> <p>— —/—</p>	1-7, 11, 14, 18
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents :		
<p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the International filing date</p> <p>"L" document which may throw doubt on priority (claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the International filing date but later than the priority date claimed</p>		
<p>"T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the International search	Date of mailing of the International search report	
25 May 2000	31/05/2000	
Name and mailing address of the ISA European Patent Office, P.B. 6018 Patentlaan 2 NL-2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax. (+31-70) 340-3016	Authorized officer Colling, P	

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/CA 00/00344

C(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passage	Relevant to claim No.
Y	JP 10 050076 A (NEC CORP) 20 February 1998 (1998-02-20) & US 5 933 363 A (SHINDO TAKESHI) 3 August 1999 (1999-08-03) column 5, line 12 -column 6, line 62 figures 1,5,6 ---	1-7,11, 14,18
A	US 5 319 589 A (YAMAGATA TADATO ET AL) 7 June 1994 (1994-06-07) column 1, line 1 -column 6, line 8 figures 23-25 ---	1,3, 15-18
A	US 5 446 685 A (HOLST JOHN C) 29 August 1995 (1995-08-29) column 10, line 65 -column 11, line 41 figures 11,12 ---	8-10
A	US 4 833 643 A (HORI CHIKAIRO) 23 May 1989 (1989-05-23) the whole document ---	8-10

INTERNATIONAL SEARCH REPORT

Information on patent family members

Int'l	Appl. No.
PCT/CA 00/00344	

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
JP 10050076 A	20-02-1998	JP US	2836596 B 5933363 A	14-12-1998 03-08-1999
US 5319589 A	07-06-1994	JP JP	2966638 B 5298891 A	25-10-1999 12-11-1993
US 5446685 A	29-08-1995	US	5598115 A	28-01-1997
US 4833643 A	23-05-1989	JP JP JP DE EP	1692138 C 3055913 B 62165794 A 3767729 D 0233453 A	27-08-1992 26-08-1991 22-07-1987 07-03-1991 26-08-1987

フロントページの続き

(81) 指定国 EP(AT, BE, CH, CY,
DE, DK, ES, FI, FR, GB, GR, IE, IT,
LU, MC, NL, PT, SE), OA(BF, BJ,
, CF, CG, CI, CM, GA, GN, GW, ML,
MR, NE, SN, TD, TG), AP(GH, GM, K
E, LS, MW, SD, SL, SZ, TZ, UG, ZW
, EA(AM, AZ, BY, KG, KZ, MD, RU,
TJ, TM), AE, AL, AM, AT, AU, AZ,
BA, BB, BG, BR, BY, CA, CH, CN, C
R, CU, CZ, DE, DK, DM, EE, ES, FI
, GB, GD, GE, GH, GM, HR, HU, ID,
IL, IN, IS, JP, KE, KG, KP, KR, K
Z, LC, LK, LR, LS, LT, LU, LV, MA
, MD, MG, MK, MN, MW, MX, NO, NZ,
PL, PT, RO, RU, SD, SE, SG, SI, S
K, SL, TJ, TM, TR, TT, TZ, UA, UG
, US, UZ, VN, YU, ZA, ZW

(72) 発明者 アーメド, アブドゥラーフ
カナダ国 エム1ビー5エヌ9 オンタリ
オ スカーバラ マクレヴィンアベニュー
609-480

(72) 発明者 ウォジシクキー, トーマツ
カナダ国 ケイ2ケイ2ピー1 オンタリ
オ カナタ クヌドソンドライブ 323
Fターム(参考) 5F083 AD24 AD69 KA05 LA03 LA12
LA21